

(19)日本国特許庁 (J P)

## (12)公開特許公報 (A)

(11)特許出願公開番号

特開平9-17910

(43)公開日 平成9年 (1997) 1月17日

(51)Int. Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/28			H 0 1 L 23/28	A
21/56			21/56	J
21/60	3 0 1		21/60 3 0 1	T
21/66			21/66	B

審査請求 未請求 請求項の数19 O L (全 9 頁) 最終頁に続く

(21)出願番号	特願平7-161781	(71)出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22)出願日	平成7年 (1995) 6月28日	(72)発明者	北野 誠 茨城県土浦市神立町502番地 株式会社日立製作所機械研究所内
		(72)発明者	矢口 昭弘 茨城県土浦市神立町502番地 株式会社日立製作所機械研究所内
		(72)発明者	熊沢 鉄雄 茨城県土浦市神立町502番地 株式会社日立製作所機械研究所内
		(74)代理人	弁理士 小川 勝男

最終頁に続く

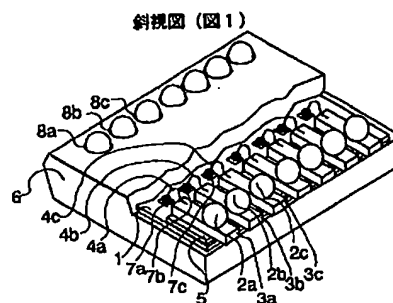
(54)【発明の名称】 半導体装置及びその製造方法、検査方法、実装基板

## (57)【要約】

【目的】本発明は、従来の製造技術により生産することが可能で、信頼性の高いC S P (チップサイズパッケージ) 型の半導体装置を提供することを目的とする。

【構成】本発明による半導体装置では、リードフレームを半導体素子に固定し、半導体素子の電極とリードフレームを電気的に接続し、リードフレームの一部分を除いて樹脂封止し、樹脂封止されていないリードフレーム表面に外部端子を設けた。

【効果】本発明によれば、従来の樹脂封止型半導体装置と同様に、多連のリードフレームを用いてC S P型半導体装置を製造することができるので、高信頼性でしかも低コストのC S P型半導体装置を提供することができる。



## 【特許請求の範囲】

【請求項1】半導体素子と、該半導体素子とは電気的に絶縁されている複数の内部リードと、該内部リードと電気的に接続する複数の外部端子と、前記内部リードと前記半導体素子の電極とを電気的に接続する手段とを備え、これらを樹脂で封止することによりパッケージを構成した半導体装置において、前記内部リードが前記半導体素子の回路形成面上に配置されており、前記パッケージ表面から前記内部リードの前記半導体素子との対向面の反対面に至る穴が形成されており、該穴に前記外部端子を接続し、該外部端子は導電性材料により形成しかつ一部分が前記パッケージの外部に露出していることを特徴とする半導体装置。

【請求項2】請求項1に記載の半導体装置において、前記外部端子の材料にボール状のはんだを用いたことを特徴とする半導体装置。

【請求項3】請求項1に記載の半導体装置において、前記外部端子と前記内部リードとの接続にはんだを用いたことを特徴とする半導体装置。

【請求項4】請求項1に記載の半導体装置において、前記外部端子の高さが、該外部端子を設けた位置における前記パッケージ表面から前記内部リードに至る距離よりも高く、かつこの距離の2倍より低いことを特徴とする半導体装置。

【請求項5】半導体素子と、該半導体素子とは電気的に絶縁されている複数の内部リードと、該内部リードと前記半導体素子の電極とを電気的に接続する手段とを備え、これらを樹脂で封止することによりパッケージを構成した半導体装置において、前記内部リードが前記半導体素子の回路形成面上に配置されており、前記パッケージ表面から前記内部リードの前記半導体素子との対向面の反対面に至る穴が形成されていることを特徴とする半導体装置。

【請求項6】請求項1或いは5に記載の半導体装置において、前記内部リードが前記回路形成面に電気的絶縁フィルムを介して接着されていることを特徴とする半導体装置。

【請求項7】請求項1或いは5に記載の半導体装置において、前記内部リードが前記電極を覆う形で該電極に接続されており、前記内部リードの前記接続部分の反対面に前記穴を設けたことを特徴とする半導体装置。

【請求項8】請求項1或いは5に記載の半導体装置において、前記穴の中心から前記回路形成面に下ろした垂線と該回路形成面との交点が、すべて前記回路形成面内に存在することを特徴とする半導体装置。

【請求項9】請求項1或いは5に記載の半導体装置において、前記電極と前記内部リードとの接続に、ワイヤボンディングを用いたことを特徴とする半導体装置。

【請求項10】請求項1或いは5に記載の半導体装置において、前記電極と前記内部リードとの接続に、両者の

熱圧着を用いたことを特徴とする半導体装置。

【請求項11】請求項9に記載の半導体装置において、前記ワイヤボンディングを行う部分及び前記外部端子用の穴の部分のみに、前記内部リードと前記半導体基板の間に電気的絶縁フィルムを設けたことを特徴とする半導体装置。

【請求項12】請求項2に記載の半導体装置において、前記外部端子を設ける前記内部リードの面に、はんだの濡れ性を向上させる表面処理を施したことを特徴とする半導体装置。

【請求項13】請求項1或いは5に記載の半導体装置において、前記パッケージの平面寸法が、前記半導体素子の平面寸法に0.2mm以上1.0mm以下を足した寸法であり、前記パッケージの厚さが前記半導体素子の厚さに0.6mm以上0.7mm以下を足した寸法であることを特徴とする半導体装置。

【請求項14】請求項1或いは5に記載の半導体装置において、前記内部リードの外側端部が前記パッケージ側面から突出していることを特徴とする半導体装置。

【請求項15】請求項1或いは5に記載の半導体装置において、半導体素子がメモリ素子であることを特徴とする半導体装置。

【請求項16】回路を有するプリント基板に、複数の半導体装置を実装したメモリモジュール実装基板において、前記半導体装置のうち少なくとも1つは請求項15に記載の半導体装置であり、各半導体装置は外部端子を介して前記基板の回路に電気的に接続されていることを特徴とするメモリモジュール実装基板。

【請求項17】半導体素子に、電気的絶縁フィルムを介して内部リードを接着し、該内部リードと前記半導体素子の電極を電気的に接続し、前記内部リードと接触するような突起を設けた金型により前記内部リードを挟み、トランスファモールド法で樹脂封止を行うことにより、パッケージ表面から前記内部リードの前記半導体素子との対向面の反対面に至る穴を形成する半導体装置の製造方法。

【請求項18】前記内部リードを前記パッケージ側面で切断することを特徴とする請求項17に記載の半導体装置の製造方法。

【請求項19】請求項14に記載の半導体装置を用いて、パッケージ側面において切断された前記内部リードの表面にプローブをあてて、特性検査を行う半導体装置の検査方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、樹脂封止型の半導体装置係り、特にパッケージの外形状が半導体素子の寸法に極めて近い半導体装置とその製造方法、検査方法、及び半導体装置を実装した基板に関するものである。

【0002】

【従来の技術】半導体装置の高集積化が進む中で、半導体装置のパッケージの寸法を半導体素子の寸法に近づけようとする技術が展開されている。この方法には2種類あり、一つはベアチップ実装と呼ばれるものである。これは、半導体素子をプリント基板に直接実装し、樹脂で封止した構造になっている。

【0003】もう一つの方法は、従来と同様に樹脂封止したパッケージを極力素子の寸法まで小さくする方法である。これは一般にCSP（チップサイズパッケージまたはチップスケールパッケージの略）と呼ばれている。CSPの構造の公知例としては、特開平6-224259号公報において、スルーホールを設けたセラミック基板に半導体素子を搭載し、セラミック基板の反対面に電極を設け、プリント基板に実装する構造が記載されている。特表平6-504408号公報では、半導体素子の回路形成面に柔軟材を介して外部端子付きのテープを設け、外部端子と半導体素子の電極を電気的に接続した構造のCSPが記載されている。特開平6-302604号公報では、半導体素子の回路形成面に金属配線パターンを形成し、これに外部端子を設けた構造のCSPが記載されている。更に特開平6-132453号公報では、従来のLOCパッケージ（リードオンチップパッケージ）のリードを半導体素子の範囲内においてパッケージ表面に露出させた構造のCSPが開示されている。

【0004】

【発明が解決しようとする課題】上記従来技術によると、外形寸法が半導体素子の寸法とほぼ等しいパッケージを得ることができるが、特開平6-132453号公報を除く従来のCSPの構造がリードフレームを用いた通常のパッケージの構造に比べてかなり複雑になり、さらに従来用いなかった接続技術などの開発が必要になる。このため、これらのパッケージは製造コストが高くなり、また信頼性にも問題があった。

【0005】特開平6-132453号公報のCSPは、従来の工程で製造可能であるが、パッケージ表面の電極を従来のリードと同様に表面実装する構造になっている。このため、パッケージと基板の線膨張係数の差に起因する熱変形により発生するはんだ接合部のひずみが大きく、熱疲労破壊が生じやすい。また、リード表面とパッケージ表面が同一平面にあるために、端子間のはんだブリッジが生じやすいという欠点もあった。

【0006】本発明は、これらのCSP構造の欠点を鑑み、従来の製造技術により生産することが可能で、信頼性の高いCSP型の半導体装置及びその製造方法、検査方法、実装基板を提供することを目的とする。

【0007】

【課題を解決するための手段】上記目的は、多連のリードフレームを半導体素子に固定し、半導体素子の電極とリードフレームを電気的に接続し、リードフレームの一部分を除いて樹脂封止してパッケージ表面からリードフ

レームへ至る穴を設け、この穴の内部にリードフレーム表面に接続する外部端子を設けることで達成される。

【0008】具体的には、半導体素子と、半導体素子とは電気的に絶縁されている複数の内部リードと、各内部リードの夫々と1対1で電気的に接続する複数の外部端子と、内部リードと半導体素子の電極とを電気的に接続する手段とを備え、これらを樹脂で封止することによりパッケージを構成したもので、内部リードが半導体素子の回路形成面上に配置されており、内部リードの半導体素子との対向面の反対面に外部端子用の穴を設け、外部端子は導電性材料により形成し、外部端子の少なくとも一部分はパッケージの外部に露出しているようにする。

【0009】ここで、「外部端子の少なくとも一部分はパッケージの外部に露出し」とは、突出していることが実用的ではあるが、突出していなくともよい。

【0010】そして好ましくは、外部端子の材料にボール状のはんだを用いる。そして、外部端子を設ける前記内部リードの面に、はんだの濡れ性を向上させる表面処理を施す。◆また好ましくは、外部端子と内部リードとの接続にはんだを用いる。◆また好ましくは、外部端子の高さが、外部端子用の穴よりも高く、かつパッケージ表面から内部リードに至る距離の2倍より低いようにする。

【0011】或いは、半導体素子と、半導体素子とは電気的に絶縁されている複数の内部リードと、各内部リードの夫々と1対1で電気的に接続する複数の外部端子と、内部リードと半導体素子の電極とを電気的に接続する手段とを備え、これらを樹脂で封止することによりパッケージを構成したもので、内部リードが半導体素子の回路形成面上に配置されており、パッケージ表面から内部リードの半導体素子との対向面の反対面に至る外部端子用の穴が形成されているようにする。

【0012】上記の2つの手段において、好ましくは、内部リードが回路形成面に電気的絶縁フィルムを介して接着されているようにする。◆また好ましくは、内部リードが電極を覆う形で接続されており、内部リードの接続部分の反対面に外部端子用の穴を設ける。◆また好ましくは、外部端子用の穴の中心から回路形成面に下ろした垂線と回路形成面との交点が、すべて回路形成面内に存在するようにする。◆また好ましくは、電極と内部リードとの接続に、ワイヤボンディングを用いる。そして、ワイヤボンディングを行う部分及び前記外部端子用の穴の部分のみに、前記内部リードと前記半導体基板の間に電気的絶縁フィルムを設ける。

【0013】また好ましくは、電極と内部リードとの接続に、両者の熱圧着を用いる。◆また好ましくは、パッケージの平面寸法が、半導体素子の平面寸法に0.2mm以上1.0mm以下を足した寸法であり、パッケージの厚さが半導体素子の厚さに0.6mm以上0.7mm以下を足した寸法であるようにする。◆また好ましく

は、内部リードの外側端部がパッケージ側面から突出しているようにする。◆また好ましくは、半導体素子がメモリ素子であるようにする。◆そして、回路を有するプリント基板に、複数の半導体装置を実装したもので、半導体装置のうち少なくとも1つは上記の半導体素子がメモリ素子である半導体装置であり、各半導体装置は外部端子を介して基板の回路に電気的に接続されているようにする。

【0014】製造方法としては、半導体素子に、電気的絶縁フィルムを介して内部リードを接着し、内部リードと半導体素子の電極を電気的に接続し、内部リードと接触するような突起を設けた金型により内部リードを挟み、トランスファモールド法で樹脂封止を行うことにより、パッケージ表面から内部リードの半導体素子との対向面の反対面に至る外部端子用の穴を形成する。◆そして好ましくは、内部リードをパッケージ側面で切断する。

【0015】検査方法としては、上記の半導体装置のパッケージ側面において切断された内部リードの表面にプローブをあてて、特性検査を行うようにする。

【0016】以上の方法により、上記各目的を達成することができる。

【0017】

【作用】本発明によるCSP型半導体装置は、従来の構造のパッケージと同様に、半導体素子が多連のリードフレームに固定された状態で樹脂封止されるので、耐湿性などの信頼性が優れている。しかも従来のパッケージの生産設備がそのまま使え、特に新しい技術開発を必要としないので、量産性に優れている。更に、パッケージ表面からリードフレームに至る穴の内部に外部端子を設けるので、例えば外部端子の材料としてははんだを用いた場合は、はんだの厚さが確保されるので熱疲労に対して強く、寿命を延ばすことができる。また、はんだブリッジの発生を押さえることができる。

【0018】

【実施例】以下、本発明の実施例を図面を用いて説明する。

【0019】図1は、第1の実施例を示す斜視図であり、構造の理解を助けるため、一部分の封止樹脂を取り除いた状態を示している。本実施例では、複数の内部リード3a、3b、3c、…が半導体素子1の回路形成面に電気的絶縁フィルム5を介して接着されており、半導体素子1の電極7a、7b、7c、…と内部リード3a、3b、3c、…とはワイヤ4a、4b、4c、…により電気的に接続されている。更にこれらの部材は樹脂6により封止されている。内部リード3a、3b、3c、…はパッケージ側面において切断されている。内部リード3a、3b、3c、…の接着面の反対面においてボール状の外部端子2a、2b、2c、…を形成し、これらの外部端子2a、2b、2c、…の一部分は、樹脂

6に設けられた外部端子穴8a、8b、8c、…の内部に設けられており、パッケージの外部に露出している。

【0020】図2は、第1の実施例を示す断面図であり、プリント基板9に実装した状態を示している。

【0021】本実施例では、外部端子2の材料としてははんだを用いているので、内部リード3及びプリント基板9の電極10と直接接合することができる。内部リード3と外部端子2は、1対1で電気的に接続をしていることが実用的である。はんだの材質としては、表面実装型半導体装置の実装に広く用いられているPb/Sn系共晶はんだ(Pb約40%、Sn約60%)を用いるのが望ましい。この場合、内部リード3の外部端子2の接続面には、はんだメッキ、ニッケルメッキ或いはスズメッキなど、はんだの濡れ性を向上させる表面処理を施しておくことが接合強度を上げるためには望ましい。また、電気的絶縁フィルム5の材料としては、例えばポリイミドフィルムが挙げられる。

【0022】本実施例の半導体装置では、外部端子2が半導体素子の範囲内に位置しているので、パッケージの外形を半導体素子1の寸法に近づけ、CSP型半導体装置を提供することができる。半導体素子1の側面における樹脂6の厚さは、最も厚い部分で0.5mm以下、0.1mm程度にすることが現状の技術で十分可能であり、また半導体素子上面及び内部リード下面における樹脂6の厚さは、0.2mm以下、0.15mm程度にすることが可能である。従って、パッケージの外形寸法を半導体素子の平面寸法に0.2~1.0mmを足した寸法、或いはそれ以下にすることが可能であり、また内部リード3と絶縁フィルム5の厚さの和が0.3mmであるならば、パッケージの厚さを半導体素子1の厚さに0.6~0.7mmを足した厚さ、或いはそれ以下にすることが可能である。

【0023】現在実用化されているパッケージの中で最も高密度なのがTSPと呼ばれる薄型のパッケージである。例えば、8mm×15mmのメモリ素子をTSPに搭載すると、リードの外周で12mm×18mmの実装面積を必要とする。本実施例のパッケージでは、9mm×16mmの実装面積で十分であるから、本実施例のパッケージを用いることにより、実装面積を少なくとも2/3以下にすることができる。このように、本実施例による半導体装置は、特に高密度実装が要求され、外部端子数がそれほど多くないメモリ素子を搭載するのに特に有効である。

【0024】本実施例の場合、はんだで構成される外部端子2の高さは、パッケージ表面に突出するために外部端子穴8の深さよりも大きくすることが実用的である。また、この高さは、外部端子穴8の深さの2倍よりも小さいことが望ましい。これを超えると溶融時のはんだの突出部分が左右に動きやすくなり、隣接するはんだ同士が接触し、はんだブリッジ不良を起こす恐れが大きくな

るからである。

【0025】第1の実施例の製造方法を図3の(a)～(f)に示す。

【0026】(a)は本実施例で用いる半導体素子1の断面図を示す。素子の回路形成面の中央に2列に電極7が形成されている。

【0027】そして、(b)に示すように、この素子に電気的絶縁フィルム5を介して、内部リード3を接着する。この時、内部リード3は全て外枠に接続され、一体のリードフレームを形成している。この工程においては、電気的絶縁フィルム5を素子1に接着した後に内部リード3を接着するか、或いは予め内部リード3に電気的絶縁フィルム5を接着した後に電気的絶縁フィルム5を半導体素子1に接着してもよい。更に内部リード3と半導体素子1の電極7をワイヤ4により電気的に接続する。ここまでの工程は、既に製造技術が完成しているSOC型半導体装置と全く同様である。

【0028】次に、(c)に示すように突起部18aと18bを設けた金型(上型)16と金型(下型)17により内部リード3を挟み込み、金型(上型)16のゲート19より樹脂を封止樹脂用空間6'に流し込んで封止する。突起18a、18bの部分には樹脂が流れ込まないので、その結果、封止した樹脂6には(d)に示すような外部端子穴8が形成される。

【0029】この後、(e)に示すようにはんだボールを載置して加熱することにより、外部端子2を接続する。外部端子2の形成においては、フラックスを用いたり、不活性ガス或いは還元性ガス雰囲気中で加熱するなど、はんだの濡れ性を向上させることが接合強度を上げるためには望ましい。最後に、内部リード3をパッケージ側面において切断して外枠から切り離し、(f)に示すCSP型半導体装置を得る。

【0030】本実施例で用いるリードフレームは通常の樹脂封止型半導体装置で用いるリードフレームのように多連型となっており、一度に複数のパッケージを形成することができる。

【0031】尚、図示はしないが、内部リード3は、最初から切断を不要とするように短いものを使用したり、(b)の段階で切断したりしてもよい。

【0032】以上に述べたように本実施例によるCSP型半導体装置は、従来の樹脂封止型半導体装置と同一の製造方法で製造することができるので、信頼性が高く、また製造コストも低くできる。また、金型(上型)16に設けた突起部18a、18bの位置を変えるだけで、外部端子2の位置を容易に変更することができる。

【0033】次に、第2の実施例による半導体装置の断面図を図4に示す。本実施例では、電気的絶縁フィルムを5aと5bに分割し、それぞれ、内部リード3のワイヤボンディング部と、外部端子2を形成する部分のみに設ける。電気的絶縁フィルムは水分を吸湿しやすく、また

パッケージの内部で剥離が生じやすいので、信頼性の面からは、なるべく面積を小さくしたほうが好ましく、本実施例の構造が考案された。尚、電気的絶縁フィルム5a、5bが設けられた部分は、それぞれワイヤボンディング時と樹脂封止時に内部リード3が押しつけられるので、電気的絶縁フィルムを必ず設ける必要がある。

【0034】第3の実施例による半導体装置の断面図を図5に示す。本実施例では、外部端子2の材料として、銅を用い、これをはんだ11にて内部リード3に接続し、はんだ12にてプリント基板9の電極10に接続した。このように電極を構成することにより、基板実装時に外部端子2が潰れるのを防ぐことができる。はんだ11とはんだ12の材質は同一であってもよいが、プリント基板9の電極10に接続する時、内部リードに接続するはんだが溶けないようにするために、内部リード3に接続するはんだ11の融点が、電極10に接続するはんだ12の融点より高いほうが望ましい。

【0035】第4の実施例による半導体装置の斜視図を図6、断面図を図7に示す。本実施例では、内部リードと電気的絶縁フィルムに、配線パターン14a、14b、14c、…を設けた電気的絶縁フィルム13を用いた。この配線パターン付き電気的絶縁フィルム13は、TCP(テープキャリアパッケージ)型半導体装置で用いられるものと同一のものをを用いることができる。このように配線パターン付き電気的絶縁フィルム13を用いることにより、内部配線を微細化し、外部端子2の位置の自由度を増すことができると同時に、パッケージの厚さを薄くすることも可能になる。

【0036】第5の実施例による半導体装置の斜視図を図8、断面図を図9に示す。本実施例でも、第4の実施例と同様に、内部リードと電気的絶縁フィルムに配線パターン14a、14b、14c、…を設けた電気的絶縁フィルム13を用いた。更に、配線パターン14a、14b、14c、…と半導体素子1の電極7a、7b、7c、…との接続に熱圧着を用いた。この接合方法は、TCP型半導体装置で用いられるものと同一の方法である。このようにパッケージを構成することにより、第4の実施例に比べて更にパッケージを薄くすることができる。

【0037】第6の実施例による半導体装置の斜視図を図10、断面図を図11に示す。本実施例では、半導体素子1の電極7a、7b、7c、…が素子の周辺部に配置されており、内部リード15a、15b、15c、…がそれぞれ電極7a、7b、7c、…を覆う形で熱圧着により接合されている。内部リード15a、15b、15c、…はパッケージ側面にて切断されている。内部リード15a、15b、15c、…の電極接合面の裏面には、外部端子2a、2b、2c、…が接合されている。

【0038】本実施例では、一般に広く用いられている、周辺に電極が配置されている半導体素子をCSPに

採用することが可能である。

【0039】本実施例では、半導体素子1の電極7と外部電極である外部端子2の平面的位置が一致しているので、内部リード15が無駄なように感じられるが、本実施例の場合は内部リード15は次に示す2つの重要な役割を担っている。

【0040】第1の役割は、電極7と外部端子2の接合を可能にする役割である。一般に半導体素子1の電極7はアルミで形成されるが、アルミははんだと接合することができない。しかし、内部リード15に銅を用いれば、アルミと熱圧着し、しかもはんだとも接合することができるので、電極7と外部端子2を接合することができる。更に、電極7との接合面に金メッキ、外部端子2形成面にはんだメッキ又はスズメッキを施すことにより、より確実に接合することができる。

【0041】第2の役割は、従来の樹脂封止型半導体装置と同様に製造することができることにある。本実施例の半導体装置は、図3に示した第1の実施例の半導体装置と同様に、多連のリードフレームを用いて製造することができるので、信頼性の向上と製造コストの低減が図れる。

【0042】第7の実施例による半導体装置の断面図を図12に示す。本実施例では、内部リード3をパッケージ側面から少しだけ突出させた位置において切断した。このようにすることにより、内部リードの突出部3'にプローブ20a、20bを当てて半導体装置の特性検査を行うことができる。もちろんこの特性検査は、外部端子2にプローブを当てて行うこともできるが、外部端子2にはんだを用いた場合、この検査を行うことによりはんだを變形させてしまう恐れがある。本実施例では、内部リードの突出部3'との電氣的接触にプローブを用いたが、突出部3a、3bを挟み込むようなソケットを用いてもよい。更に、プローブ或いはソケットを用いて半導体装置のバーニン選別検査を行うこともできる。

【0043】尚、本実施例は、第1の実施例の半導体装置において、内部リード3を突出させたものを図示したが、第2から第6のいずれの実施例にも適用することが可能である。

【0044】第8の実施例によるメモリモジュール基板を図13に示す。本実施例では、以上に述べた各実施例によるパッケージにメモリ素子を搭載した半導体装置21a~21dを1枚のプリント基板22に高密度に実装した。第1実施例で述べたように本発明によるパッケージはメモリ素子を搭載するのに特に好適であるから、こ

れらを用いてメモリモジュールを構成することにより、高密度なメモリモジュールを提供することができる。

【0045】尚、上記各実施例においては、外部端子を半導体装置の製作時に取り付けただ、製作時には外部端子用の穴を設けておき、基板実装時に外部端子を取り付ける、或いは基板側に外部端子に相当するものを設けておき実装することも可能である。

【0046】

【発明の効果】以上述べた様に本発明によれば、従来の樹脂封止型半導体装置の製造技術によりCSP型半導体装置を製造することができるので、高信頼性でしかも生産性と検査性に優れたCSP型半導体装置を提供することができる。特に本発明の半導体装置は、メモリ素子を搭載するのに好適である。

【図面の簡単な説明】

【図1】第1の実施例の斜視図である。

【図2】第1の実施例の断面図である。

【図3】第1の実施例の製造方法を示す断面図である。

【図4】第2の実施例の断面図である。

【図5】第3の実施例の断面図である。

【図6】第4の実施例の斜視図である。

【図7】第4の実施例の断面図である。

【図8】第5の実施例の斜視図である。

【図9】第5の実施例の断面図である。

【図10】第6の実施例の斜視図である。

【図11】第6の実施例の断面図である。

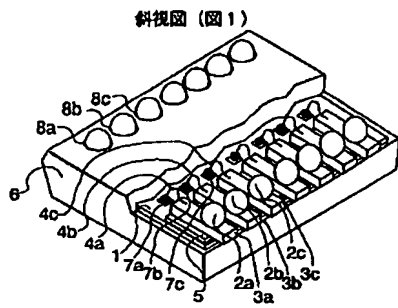
【図12】第7の実施例の断面図である。

【図13】第8の実施例の側面図である。

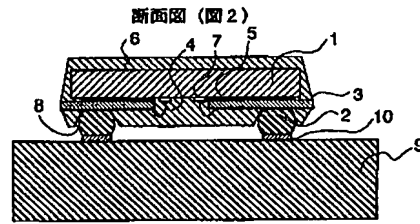
【符号の説明】

1…半導体素子、2、2a、2b、2c…外部端子、3、3a、3b、3c…内部リード、3'…内部リード突出部、4、4a、4b、4c…ワイヤ、5、5a、5b…電氣的絶縁フィルム、6…封止樹脂、6'…封止樹脂用空間、7、7a、7b、7c…電極、8、8a、8b、8c…外部端子穴、9…プリント基板、10…電極、11…内部リード接合用はんだ、12…プリント基板接合用はんだ、13…電氣的絶縁フィルム、14、14a、14b、14c…配線パターン、15、15a、15b、15c…内部リード、16…金型（上型）、17…金型（下型）、18a、18b…金型の突起部、19…金型のゲート、20a、20b…プローブ、21a、21b、21c、21d…本発明によるCSPパッケージ、22…モジュール基板。

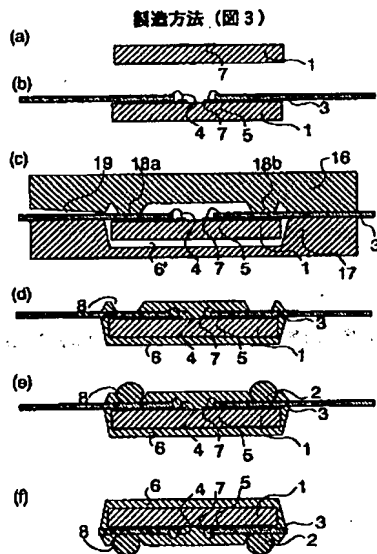
【図1】



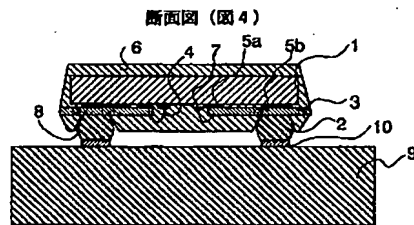
【図2】



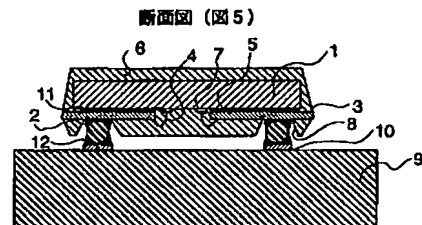
【図3】



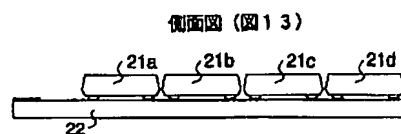
【図4】



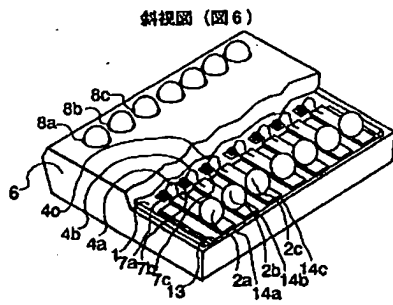
【図5】



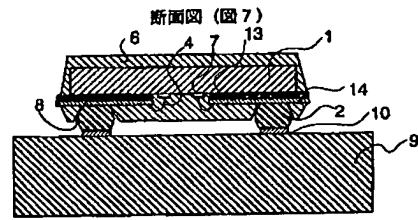
【図13】



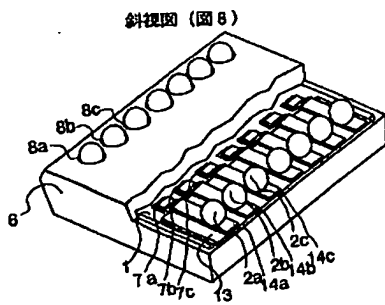
【図6】



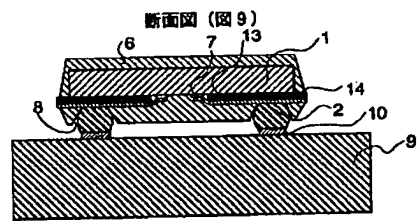
【図7】



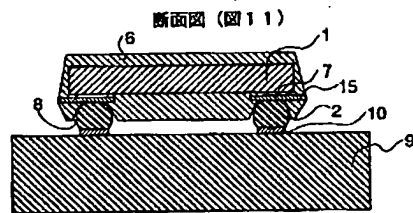
【図8】



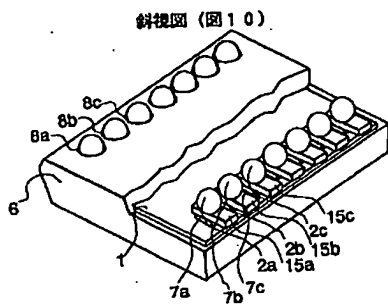
【図9】



【図11】

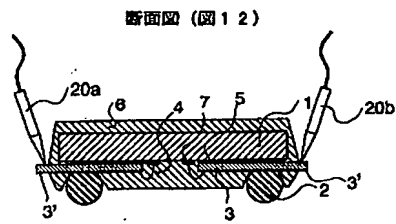


【図10】





【図12】



フロントページの続き

(51)Int. Cl.<sup>6</sup>  
H01L 23/50

識別記号 庁内整理番号

FI  
H01L 23/50

技術表示箇所

N  
R

(72)発明者 春田 亮  
東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体事業部内

(72)発明者 一谷 昌弘  
東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体事業部内